

日 本 国 特 許 庁
JAPAN PATENT OFFICE

17.06.03

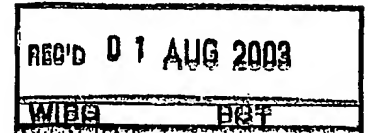
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年 6月17日

出 願 番 号
Application Number: 特願2002-175243
[ST. 10/C]: [JP2002-175243]

出 願 人
Applicant(s): 日本電気株式会社



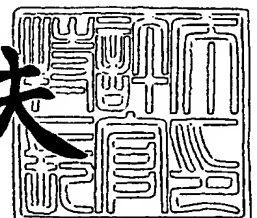
**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

2003年 7月11日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 33409891
【提出日】 平成14年 6月17日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/80
H01L 21/28

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 安藤 裕二

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 宮本 広信

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 岡本 康宏

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 笠原 健資

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 中山 達峰

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 葛原 正明

【特許出願人】

【識別番号】 000004237
【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100096253

【住所又は居所】 東京都台東区東上野一丁目 1 9 番 1 2 号 偕楽ビル

【弁理士】

【氏名又は名称】 尾身 祐助

【手数料の表示】

【予納台帳番号】 003399

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9002137

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 Ga_vAl_{1-v} (但し、 $0 \leq v \leq 1$) をIII族側元素の主成分としNをV族側元素の主成分とする化合物半導体から構成された半導体層とこの半導体層に接触するショットキー接合電極とを有する半導体装置において、前記ショットキー接合電極は、前記半導体層と接触する側から第1金属層、第2金属層、第3金属層が順次積層された積層構造からなり、前記第1金属層は、 Ni 、 Pt 、 Pd 、 Ni_zSi_{1-z} 、 Pt_zSi_{1-z} 、 Pd_zSi_{1-z} 、 Ni_zN_{1-z} 、 Pd_zN_{1-z} (但し、 $0 < z < 1$) のいずれかから選択された材料からなり、前記第2金属層は、 Mo 、 Pt 、 W 、 Ti 、 Ta 、 Mo_xSi_{1-x} 、 Pt_xSi_{1-x} 、 W_xSi_{1-x} 、 Ti_xSi_{1-x} 、 Ta_xSi_{1-x} 、 Mo_xN_{1-x} 、 W_xN_{1-x} 、 Ti_xN_{1-x} 、 Ta_xN_{1-x} (但し、 $0 < x < 1$) のいずれかから選択された材料からなり、前記第3金属層は、 Au 、 Cu 、 Al 、 Pt のいずれかから選択された材料からなることを特徴とする半導体装置。

【請求項2】 Ga_vAl_{1-v} (但し、 $0 \leq v \leq 1$) をIII族側元素の主成分としNをV族側元素の主成分とする化合物半導体から構成された半導体層とこの半導体層に接触するショットキー接合電極とを有する半導体装置において、前記ショットキー接合電極は、前記半導体層と接触する側から第1金属層、第2金属層が順次積層された積層構造からなり、前記第1金属層は、 Ni_ySi_{1-y} 、 Pt_ySi_{1-y} 、 Pd_ySi_{1-y} 、 Ni_yN_{1-y} 、 Pd_yN_{1-y} (但し、 $0 < y < 1$) のいずれかから選択された材料からなり、前記第2金属層は、 Au 、 Cu 、 Al 、 Pt のいずれかから選択された材料からなることを特徴とする半導体装置。

【請求項3】 Ga_vAl_{1-v} (但し、 $0 \leq v \leq 1$) をIII族側元素の主成分としNをV族側元素の主成分とする化合物半導体から構成された半導体層とこの半導体層に接触するショットキー接合電極とを有する半導体装置において、前記シ、ョットキー接合電極は、前記半導体層と接触する側から第1金属層、第

2 金属層第 3 金属層が順次積層された積層構造からなり、前記第 1 金属層は、 $\text{Ni}_{z1}\text{Si}_{1-z1}$ (但し、 $0.4 \leq z1 \leq 0.75$)、 $\text{Pt}_{z2}\text{Si}_{1-z2}$ (但し、 $0.5 \leq z2 \leq 0.75$)、 $\text{Pd}_{z3}\text{Si}_{1-z3}$ (但し、 $0.5 \leq z3 \leq 0.85$)、 $\text{Ni}_{z4}\text{N}_{1-z4}$ (但し、 $0.5 \leq z4 \leq 0.85$)、 $\text{Pd}_{z5}\text{N}_{1-z5}$ (但し、 $0.5 \leq z5 \leq 0.85$) のいずれかから選択された材料からなり、前記第 2 金属層は、 Mo 、 Pt 、 W 、 Ti 、 Ta 、 $\text{Mo}_x\text{Si}_{1-x}$ 、 $\text{Pt}_x\text{Si}_{1-x}$ 、 $\text{W}_x\text{Si}_{1-x}$ 、 $\text{Ti}_x\text{Si}_{1-x}$ 、 $\text{Ta}_x\text{Si}_{1-x}$ 、 $\text{Mo}_x\text{N}_{1-x}$ 、 W_xN_{1-x} 、 $\text{Ti}_x\text{N}_{1-x}$ 、 $\text{Ta}_x\text{N}_{1-x}$ (但し、 $0 < x < 1$) のいずれかから選択された材料からなり、前記第 3 金属層は、 Au 、 Cu 、 Al 、 Pt のいずれかから選択された材料からなることを特徴とする半導体装置。

【請求項 4】 $\text{Ga}_v\text{Al}_{1-v}$ (但し、 $0 \leq v \leq 1$) を III 族側元素の主成分とし N を V 族側元素の主成分とする化合物半導体から構成された半導体層とこの半導体層に接触するショットキー接合電極とを有する半導体装置において、前記ショットキー接合電極は、前記半導体層と接触する側から第 1 金属層、第 2 金属層が順次積層された積層構造からなり、前記第 1 金属層は、 $\text{Ni}_{y1}\text{Si}_{1-y1}$ (但し、 $0.4 \leq y1 \leq 0.75$)、 $\text{Pt}_{y2}\text{Si}_{1-y2}$ (但し、 $0.5 \leq y2 \leq 0.75$)、 $\text{Pd}_{y3}\text{Si}_{1-y3}$ (但し、 $0.5 \leq y3 \leq 0.85$)、 $\text{Ni}_{y4}\text{N}_{1-y4}$ (但し、 $0.5 \leq y4 \leq 0.85$)、 $\text{Pd}_{y5}\text{N}_{1-y5}$ (但し、 $0.5 \leq y5 \leq 0.85$) のいずれかから選択された材料からなり、前記第 2 金属層は、 Au 、 Cu 、 Al 、 Pt のいずれかから選択された材料からなることを特徴とする半導体装置。

【請求項 5】 前記半導体層は、サファイヤ基板、 SiC 基板、 GaN 基板のいずれかの基板上に形成された複数の化合物半導体層上に形成されていることを特徴とする請求項 1 から 4 のいずれかに記載の半導体装置。

【請求項 6】 前記半導体層が、 $\text{Al}_u\text{Ga}_{1-u}\text{N}$ 層 (但し、 $0 \leq u \leq 1$) であることを特徴とする請求項 1 から 5 のいずれかに記載の半導体装置。

【請求項 7】 前記半導体層が、 GaN チャンネル層または InGaN チャンネル層上に形成された AlGaN 電子供給層であることを特徴とする請求項 1 から

5のいずれかに記載の半導体装置。

【請求項8】 前記半導体層が、AlGa_N電子供給層上に形成されたGa_Nチャンネル層またはInGa_Nチャンネル層であることを特徴とする請求項1から5のいずれかに記載の半導体装置。

【請求項9】 前記半導体層が、n型Ga_Nチャンネル層であることを特徴とする請求項1から5のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明はGa_Nを主材料として含む、マイクロ波帯で使用される高出力半導体装置に関し、特に、耐熱性、パワー性能に優れた半導体装置に用いるショットキー接合電極に関するものである。

【0002】

【従来の技術】

図8は、この種の従来の半導体装置の断面図である。このような半導体装置は、例えば、ミシュラ (U. K. Mishra) らにより、文献アイ・イー・イー・イー・トランザクションズ・オン・マイクロウェーブ・セオリー・アンド・テクニクス (IEEE Trans. Microwave Theory Tech.)、第46巻、第6号、756頁、1998年に報告されている。

図8に示すように、半導体装置は、例えば、ヘテロ接合電界効果トランジスタであり、サファイア基板上に積層された半導体層を有している。サファイア基板61には、窒化アルミニウム (AlN) からなるバッファ層62、窒化ガリウム (Ga_N) チャンネル層63、窒化アルミニウム・ガリウム (AlGa_N) 電子供給層64が順次形成されて半導体層の積層体を構成している。

そして、AlGa_N電子供給層64に接してソース電極6Sおよびドレイン電極6Dが形成され、これらはオーム性接触がとられている。さらに、AlGa_N電子供給層64に接してゲート電極67が形成され、これはショットキー性接触がとられている。ここでゲート電極67は、Ni層671とAu層672の積層構造からなる。

【0003】

【発明が解決しようとする課題】

GaN、AlGaN等のGaN系半導体のショットキー界面においては、フェルミレベルのピンニングの影響が小さいため、障壁高さ(ϕ_B)が金属の仕事関数(W_m)と半導体の電子親和力(χ_s)の差で決定される。

$$\phi_B = W_m - \chi_s \quad \dots (1)$$

このため、従来技術による半導体装置のショットキー接合電極67においては、AlGaN層64に接して、仕事関数が高い金属、例えば、Ni、Pt、Pd等からなる金属層(671)を形成していた。また、この金属層(671)上に形成されるAu層672は、電極抵抗を低減するために用いられている。

ショットキー接合電極67を構成するNi、Pt、Pdでは高いショットキー障壁が得られる反面、例えば、Niは転移点が約353℃と低いなど、熱的に不安定であるという問題がある。GaNを主たる材料とする半導体装置では、高電流密度($\sim 1 \text{ A/mm}$)、高耐圧($\sim 100 \text{ V}$)が得られるため、高電力密度($1 \sim 10 \text{ W/mm}$)での動作が可能になる。そのような動作状態では、自己発熱に伴いゲート電極近傍の温度が400℃以上まで上昇するため、Ni、Pt、Pdの熱拡散および金属層672を構成するAuとの合金化反応が顕著であった。

【0004】

このことを確かめるために、図8に示す従来の半導体装置に熱処理(500℃ 15分)を施した。このときの熱処理前、熱処理後の半導体装置の逆方向ゲート電流-電圧特性を図9に示す。図9は、縦軸がゲート電流(A/mm)であり、横軸がゲートドレイン電圧(V)である。図9によると、従来の半導体装置では熱処理により逆方向ゲート電流が1桁程度上昇した。

さらに、オージェ分光分析を用いて、熱処理前、熱処理後におけるこの半導体装置の構成元素の深さ方向分布を調べた。図10は、熱処理前のオージェ・プロファイル、図11は、熱処理後のオージェ・プロファイルである。図10および図11は、縦軸がオージェ強度(a.u.)であり、横軸がスパッタ時間(分)である。従来の半導体装置では500℃の熱処理によりNiとAuの相互拡散が生じることが確かめられた。したがって、熱処理により逆方向ゲート電流が増加

したのは、NiとAuの合金化が促進され、NiAu合金の仕事関数がNiの仕事関数より小さいためにAlGaIn電子供給層64との界面のショットキー障壁が低下したものと考えられる。また、高温ではショットキー接合電極(671)を構成するNiのAlGaIn電子供給層64への熱拡散が生じ、深い準位が形成されて、素子特性が不安定になるという問題があった。

本発明は、上述した従来技術の問題点に鑑みてなされたものであって、その目的は、ショットキー接合電極の耐熱性を向上させ、電力性能、信頼性に優れたGaInを主材料とする半導体装置を提供することにある。

【0005】

【課題を解決するための手段】

本発明は、このような課題を解決するために、 Ga_vAl_{1-v} (但し、 $0 \leq v \leq 1$) をIII族側元素の主成分としNをV族側元素の主成分とする化合物半導体から構成された半導体層とこの半導体層に接触するショットキー接合電極とを有する半導体装置において、前記ショットキー接合電極は、前記半導体層と接触する側から第1金属層、第2金属層、第3金属層が順次積層された積層構造からなり、前記第1金属層は、Ni、Pt、Pd、 Ni_zSi_{1-z} 、 Pt_zSi_{1-z} 、 Pd_zSi_{1-z} 、 Ni_zSi_{1-z} 、 Pd_zSi_{1-z} (但し、 $0 < z < 1$) のいずれかから選択された材料からなり、前記第2金属層は、Mo、Pt、W、Ti、Ta、 Mo_xSi_{1-x} 、 Pt_xSi_{1-x} 、 W_xSi_{1-x} 、 Ti_xSi_{1-x} 、 Ta_xSi_{1-x} 、 Mo_xN_{1-x} 、 W_xN_{1-x} 、 Ti_xN_{1-x} 、 Ta_xN_{1-x} (但し、 $0 < x < 1$) のいずれかから選択された材料からなり、前記第3金属層は、Au、Cu、Al、Ptのいずれかから選択された材料からなることを特徴としている。

【0006】

また、本発明は、 Ga_vAl_{1-v} (但し、 $0 \leq v \leq 1$) をIII族側元素の主成分としNをV族側元素の主成分とする化合物半導体から構成された半導体層とこの半導体層に接触するショットキー接合電極とを有する半導体装置において、前記ショットキー接合電極は、前記半導体層と接触する側から第1金属層、第2金属層が順次積層された積層構造からなり、前記第1金属層は、 Ni_ySi_{1-y}

y 、 Pt_ySi_{1-y} 、 Pd_ySi_{1-y} 、 Ni_yN_{1-y} 、 Pd_yN_{1-y} （但し、 $0 < y < 1$ ）のいずれかから選択された材料からなり、前記第2金属層は、 Au 、 Cu 、 Al 、 Pt のいずれかから選択された材料からなることを特徴としている。

ここで、好ましくは、半導体層は、 $Al_uGa_{1-u}N$ （但し、 $0 \leq u \leq 1$ ）で表される。

【0007】

[作用]

第1金属層から第3金属層までの積層構造において、第2金属層が第1金属と第3金属の相互拡散を抑制し信頼性が向上する。また、第1金属が仕事関数が大きいため、ショットキー障壁が高く、良好なショットキー接触を有する半導体装置が得られる。また、第1金属層および第2金属層からなる積層構造では、第1金属の GaN 系半導体への熱拡散が抑制され、信頼性が向上する。このため、半導体装置の高温特性、電力性能に寄与するところ大となる。

【0008】

【発明の実施の形態】

以下、図面を参照しながら実施例に即くして発明の実施の形態を説明する。

（第1の実施例）

図1、図2および図3を参照して本発明の第1の実施例を説明する。

図1は、この実施例による $AlGaN/GaN$ 系ヘテロ接合電界効果トランジスタ（Hetero-Junction Field Effect Transistor；HJFET）の断面構造を示す図である。このトランジスタは、サファイア基板11上に形成される。図1において、サファイア基板11上に、アンドープの AlN バッファ層12、アンドープの GaN チャネル層13、アンドープの $AlGaN$ 電子供給層14の半導体層が順次形成されている。そして、 $AlGaN$ 電子供給層14に接してソース電極6S、ドレイン電極6Dが形成され、オーム性接触がとられている。さらに、 $AlGaN$ 電子供給層14と接して Ni 層171、 Mo 層172、 Au 層173の積層構造からなるゲート電極17が形成され、このゲート電極は、ショットキー性接触がとられている。 GaN と $AlGaN$ の格子定数差に起因するピエゾ

分極効果および自発性分極効果に伴い、Ga_{0.3}N_{0.7}チャンネル層13のAlGa_{0.3}N電子供給層14との界面近傍には2次元電子ガスが形成される。HJFETは、ゲート電極17の電位で2次元電子ガス濃度を変調することにより、トランジスタとして動作させることができる。

この実施例の半導体装置は、以下のようにして作製される。(0001)サファイア基板11上に、例えば分子線エピタキシャル成長(Molecular Beam Epitaxy; MBEと略する)法により、次に示す順および膜厚で順次成長させる。

アンドープAlN層(12)	・・・20nm
アンドープGa _{0.3} N層(13)	・・・2μm
アンドープAl _{0.3} Ga _{0.7} N電子供給層(14)	・・・30nm

【0009】

ここで、AlGa_{0.3}NとGa_{0.3}Nは格子定数が異なるが、アンドープAl_{0.3}Ga_{0.7}N層14の膜厚30nmは、転位発生の臨界膜厚以下である。

次に、AlGa_{0.3}N層14上には、例えば、Ti/Alなどの金属を蒸着、アロイ処理することにより、ソース電極6S、ドレイン電極6Dをそれぞれ形成し、これら電極は、オーム性接触をとる。最後に、AlGa_{0.3}N層14上に、例えば、蒸着・リフトオフ法により、次に示す順および層厚で金属層を順次形成し、ショットキー接触するゲート電極17を形成する。

【0010】

Ni第1金属層(171)	・・・15nm
Mo第2金属層(172)	・・・15nm
Au第3金属層(173)	・・・200nm

【0011】

このようにして、図1に示す半導体装置が作製される。

この実施例の特徴は、ゲート電極17がNi層171、Mo層172、Au層173の積層構造からなることである。Moは融点が約2630℃と高いため、NiとAuの相互拡散に対するバリヤとして働く。このため、高温においてもゲートリーク電流が抑制され、素子信頼性が向上した。また、AlGa_{0.3}N電子供給層14に接する第1金属Niは、仕事関数が約4.6eVと大きいため、ショット

トキー障壁が高く、良好なショットキー接触が得られる。

このような半導体装置に対して熱処理（50.0℃、15分）を施した。この時の熱処理前、熱処理後の半導体装置の逆方向ゲート電流－電圧特性を図2に示す。図2は、縦軸がゲート電流（A/mm）であり、横軸がゲートドレイン電圧（V）である。図2に示すように、熱処理前後で逆方向ゲート電流の変化は殆ど見られず、Mo層挿入による耐熱性向上の効果が確認された。

図3は、従来技術の特性と比較した、この実施例の半導体装置における飽和出力密度のゲート幅依存性を示す特性図である。図3の縦軸は、飽和電力（W/mm）、横軸は半導体装置のゲート幅（mm）である。図中には従来技術による半導体装置における測定結果も示されている。従来技術において、ゲート幅が32mm以上の大型素子では、自己発熱による飽和出力密度の大幅な低下が観測された。一方、この実施例では出力密度の低下は小さく、ゲート電極の耐熱性向上によるパワー性能の改善が確認された。

【0012】

この実施例では、第2金属層をMo層172により構成したがこれを他の高融点金属層で置き換えても同様な効果が得られる。例えば、第2金属層（172）をPt層、W層、Ti層、Ta層のいずれかで置き換えてもよい。

また、第2金属層（172）を高融点であり且つ熱的に安定な珪化金属層または窒化金属層で置き換えても同様な効果が得られる。例えば、第2金属層172を $\text{Mo}_x\text{Si}_{1-x}$ 層、 $\text{Pt}_x\text{Si}_{1-x}$ 層、 $\text{W}_x\text{Si}_{1-x}$ 層、 $\text{Ti}_x\text{Si}_{1-x}$ 層、 $\text{Ta}_x\text{Si}_{1-x}$ 層、 $\text{Mo}_x\text{N}_{1-x}$ 層、 W_xN_{1-x} 層、 $\text{Ti}_x\text{N}_{1-x}$ 層、 $\text{Ta}_x\text{N}_{1-x}$ 層（但し、 $0 < x < 1$ ）のいずれかで置き換えてもよい。

この実施例では、第1金属層をNi層171により構成したが、これを仕事関数が高い他の金属層で置き換えても同様な効果が得られる。例えば、第1金属層171をPt層またはPd層で置き換えてもよい。

また、この実施例では、第3金属層をAu層173により構成したが、これを抵抗率が小さい他の金属層で置き換えても同様な効果が得られる。例えば、第3金属層（173）をCu層、Al層、Pt層のいずれかで置き換えてもよい。

【0013】

(第2の実施例)

次に、図4を参照して本発明の第2の実施例を説明する。

図4は、この実施例によるAlGa_N/Ga_N系HJFETの断面構造を示す図である。このHJFETは、サファイア基板21上に形成された半導体層から構成されている。サファイア基板21上には、アンドープのAlNバッファ層22(20nm)、アンドープのGa_Nチャネル層23(膜厚2μm)、アンドープAl_{0.3}Ga_{0.7}NからなるAlGa_N電子供給層24(膜厚30nm)の積層された半導体層が形成されている。

AlGa_N電子供給層24上には、これに接してソース電極6S、ドレイン電極6Dが形成され、これらはオーム性接触がとられている。さらにAlGa_N電子供給層24に接して第1金属層としてNi_{0.7}Si_{0.3}からなるNiSi層271(15nm)、第2金属層となるAu層272(200nm)の積層構造からなるゲート電極27が形成され、これはショットキー性接触がとられている。Ga_NとAlGa_Nの格子定数差に起因するピエゾ分極効果および自発性分極効果に伴い、Ga_Nチャネル層23のAlGa_N電子供給層24との界面近傍には、2次元電子ガスが形成される。HJFETは、ゲート電極27の電位で2次元電子ガス濃度を変調することにより、トランジスタとして動作させることができる。

【0014】

この実施例の特徴は、ゲート電極27がNi_{0.7}Si_{0.3}第1金属層271、Au第2金属層層272の積層構造からなることにある。Ni_ySi_{1-y}(但し、0<y<1)はNi-Si間の結合力が強いので、Ni単体よりも高温で安定である。好ましくは、0.4≤y≤0.75である。特に、0.65≤y≤0.75の場合には、融点が約1200℃以上と非常に高く、また、Niと比較して抵抗率増加も小さくより好ましい。このため、高温においても第1金属のAlGa_N電子供給層24への熱拡散が抑制され、素子信頼性が向上した。

この実施例では、第1金属層をNiSi層271により構成したが、第1金属層(271)を他の熱的に安定で仕事関数が高い珪化金属または窒化金属、例

例えばPtSi、PdSi、NiN、PdNで置き換えても同様な効果が得られる。ここで、第1金属層(271)を Pt_ySi_{1-y} (但し、 $0.5 \leq y \leq 0.75$)、 Pd_ySi_{1-y} (但し、 $0.5 \leq y \leq 0.85$)、 Ni_yN_{1-y} (但し、 $0.5 \leq y \leq 0.85$)、 Pd_yN_{1-y} (但し、 $0.5 \leq y \leq 0.85$)のいずれかで構成することがより好ましい。

また、この実施例では、第2金属層をAu層272により構成したが、これを抵抗率が小さい他の金属層で置き換えても同様な効果が得られる。例えば、第2金属層(272)をCu層、Al層、Pt層のいずれかで置き換えてもよい。

【0015】

(第3の実施例)

次に、図5を参照して本発明の第3の実施例を説明する。

図5は、この実施例によるAlGa_N/Ga_N系HJFETの断面構造を示す図である。このHJFETは、SiC基板31上に形成された半導体層から構成されている。SiC基板31上には、アンドープのAlNバッファ層32、アンドープのGa_Nバッファ層33 (膜厚2 μm)、アンドープIn_{0.1}Ga_{0.9}NからなるInGa_Nチャネル層34 (膜厚15 nm) およびアンドープAl_{0.2}Ga_{0.8}NからなるAlGa_N電子供給層35 (膜厚40 nm)の積層された半導体層が形成されている。

AlGa_N電子供給層35に接してオーム性接触をとるソース電極6Sおよびドレイン電極6Dが形成されている。さらに、AlGa_N電子供給層35に接して第1金属層としてNi_{0.7}Si_{0.3}からなるNiSi層371、第2金属層としてMo層372、第3金属層としてAu層373の積層構造からなるゲート電極37が形成され、この電極はショットキー性接触がとられている。InGa_NとAlGa_Nの格子定数差に起因するピエゾ分極効果および自発性分極効果に伴い、InGa_Nチャネル層34のAlGa_N層35との界面近傍には2次元電子ガスが形成される。HJFETは、ゲート電極37の電位で2次元電子ガス濃度を変調することにより、トランジスタとして動作させることができる。

【0016】

この実施例の特徴は、ゲート電極37がNiSi層371、Mo層372、A

u層373の積層構造から構成されていることである。Moは、融点が約2630℃と高いため、NiとAuの相互拡散に対するバリヤとして働く。このため、高温においてもゲートリーク電流が抑制される。また、AlGaIn電子供給層35に接する第1金属は、 Ni_ySi_{1-y} （但し、 $0 < y < 1$ 、より好ましくは $0.4 \leq y \leq 0.75$ ）のNi-Si間の結合力が強いためNi単体よりも高温で安定である。とくに、 $0.65 \leq y \leq 0.75$ の場合には、融点が約1200℃以上と非常に高く、また、Niと比較して抵抗率増加も小さい。このため、高温においても第1金属のAlGaIn電子供給層34への熱拡散が抑制されて素子信頼性が向上した。

この実施例においても、第1および第2の実施例と同様に、ゲート電極の耐熱性の向上が確認された。また、ゲート電極の耐熱性向上によるパワー性能の改善も確認された。

この実施例では、第1金属層(371)を Ni_ySi_{1-y} により構成したが、これを他の熱的に安定で且つ仕事関数が高い珪化金属または窒化金属、例えばPtSi、PdSi、NiN、PdNで置き換えても同様な効果が得られる。ここで、さらに、望ましくは、 Pt_ySi_{1-y} （但し、 $0.5 \leq y \leq 0.75$ ）、 Pd_ySi_{1-y} （但し、 $0.5 \leq y \leq 0.85$ ）、 Ni_yN_{1-y} （但し、 $0.5 \leq y \leq 0.85$ ）、 Pd_yN_{1-y} （但し、 $0.5 \leq y \leq 0.85$ ）のいずれかで置き換えることである。

【0017】

この実施例では、第2金属層をMo層372により構成したが、これを他の高融点金属層で置き換えても同様な効果が得られる。例えば、第2金属層(372)をPt層、W層、Ti層、Ta層のいずれかで置き換えてもよい。また、第2金属層(372)を高融点でかつ熱的に安定な珪化金属層または窒化金属層で置き換えても同様な効果が得られる。例えば、第2金属層(372)を Mo_xSi_{1-x} 層、 Pt_xSi_{1-x} 層、 W_xSi_{1-x} 層、 Ti_xSi_{1-x} 層、 Ta_xSi_{1-x} 層、 Mo_xN_{1-x} 層、 W_xN_{1-x} 層、 Ti_xN_{1-x} 層、 Ta_xN_{1-x} 層（但し、 $0 < x < 1$ ）のいずれかで置き換えてもよい。

また、この実施例では、第3金属層をAu層373により構成したが、第3金

属層 (373) を抵抗率が小さい他の金属層で置き換えても同様な効果が得られる。例えば、第2金属層 (373) をCu層、Al層、Pt層のいずれかで置き換えることができる。

【0018】

(第4の実施例)

次に、図6を参照して本発明の第4の実施例を説明する。

図6は、この実施例によるGaN系金属-半導体電界効果トランジスタ (MESFET) の断面構造を示す図である。このMESFETは、SiC基板41上に形成された半導体層から構成されている。SiC基板41上には、アンドープのAlNバッファ層42、アンドープのGaNバッファ層43 (膜厚 $1\mu\text{m}$)、n型GaNチャネル層44 (不純物濃度 $2\times 10^{17}/\text{cm}^3$ 、膜厚 150nm) の積層された半導体層が形成されている。

n型GaNチャネル層44上にこれに接してオーム性接触がとられるソース電極6Sおよびドレイン電極6Dが形成されている。さらに、GaNチャネル層44上にこれに接して第1金属層としてNi層471、第2金属層としてMo層472、第3金属層としてAu層473の積層構造からなるゲート電極47が形成され、この電極は、ショットキー性接触がとられている。n型GaNチャネル層44のゲート電極47との界面近傍には、空乏層が形成される。MESFETは、ゲート電極47の電位で空乏層厚を変調することにより、トランジスタとして動作させることができる。この実施例では、チャネル層をn型GaNにより構成したが、これをn型InGaNに置き換えてもよい。

【0019】

この実施例は、図1に示したゲート電極構造17をGaN系MESFETに適用したものである。したがって、第1の実施例と同様に、高温においても第1金属層と第3金属層の相互拡散が抑制され、素子信頼性が向上する。また、ショットキー障壁が高く、良好なショットキー接触が得られる。また、ゲート電極47を、図4に示したゲート電極構造27で置き換えてもよい。この場合には、第2の実施例と同様に、高温においても、NiのGaNチャネル層44への熱拡散が抑制され、素子信頼性が向上する。さらに、ゲート電極47を、図5に示したゲ

ート電極構造 37 で置き換えてもよい。この場合には、第 3 の実施例と同様に、第 1 金属層と第 3 金属層の相互拡散が抑制されると共に、第 1 金属層の GaN チャネル層 44 への熱拡散が抑制され、素子信頼性が向上する。

【0020】

(第 5 の実施例)

次に、図 7 を参照して本発明の第 5 の実施例を説明する。

図 7 は、この実施例による GaN/AlGaIn 系 HJFET の断面構造を示す図である。この HJFET は、GaN 基板 51 上に形成された半導体層から構成されている。GaN 基板 51 上には、アンドープの AlN バッファ層 52、アンドープの GaN チャネル層 53 (膜厚 $1\mu\text{m}$)、n 型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ (不純物濃度 $2 \times 10^{18}/\text{cm}^3$ 、膜厚 30nm) からなる n 型 AlGaIn 電子供給層 54、アンドープの GaN チャネル層 55 の積層された半導体層が形成されている。

GaN チャネル層 55 上にこれに接してオーム性接触がとられたソース電極 6S およびドレイン電極 6D が形成されている。さらに、GaN チャネル層 55 上にこれに接して第 1 金属層として $\text{Ni}_{0.5}\text{Si}_{0.5}$ からなる NiSi 層 571、第 2 金属層として Au 層 572 の積層構造からなるゲート電極 57 が形成され、この電極は、ショットキー性接触がとられている。GaN チャネル層 55 の AlGaIn 電子供給層 54 との界面近傍には、2 次元電子ガスが形成される。HJFET は、ゲート電極 57 の電位で 2 次元電子ガス濃度を変調することにより、トランジスタとして動作させることができる。この実施例では、チャネル層を GaN により構成したが、これを InGaIn に置き換えてもよい。

【0021】

この実施例は、図 4 に示したゲート電極構造 27 を GaN/AlGaIn 系の HJFET 構造に適用したものである。したがって、第 2 の実施例と同様に、高温においても、第 1 金属層の GaN チャネル層 55 への熱拡散が抑制され、素子信頼性が向上する。

また、ゲート電極 57 を、図 1 に示したゲート電極構造 17 で置き換えてもよい。この場合には、第 1 の実施例と同様に、高温においても第 1 金属層と第 3 金

属層の相互拡散が抑制され、素子信頼性が向上する。また、ショットキー障壁が高く、良好なショットキー接触が得られる。

さらに、ゲート電極 57 を、図 5 に示したゲート電極構造 37 で置き換えてもよい。この場合には、第 3 の実施例と同様に、第 1 金属層と第 3 金属層の相互拡散が抑制されると共に、第 1 金属層の GaN チャネル層 55 への熱拡散が抑制され、素子信頼性が向上する。

【0022】

以上、本発明を上記実施例に即して説明したが、本発明は、このような実施例のみ限定されず、本発明の原理に準ずる各種態様を含むことは勿論である。例えば、上記実施例においてはショットキー接合電極が接触する半導体層として GaN 層または AlGaIn 層を用いたが、InAlN 層、InGaIn 層、InAlGaIn 層、AlN 層を用いてもよい。また、GaN 層、AlGaIn 層、InAlN 層、InGaIn 層、InAlGaIn 層、AlN 層の内の少なくとも 1 層を含む超格子層としてもよい。

更に、上記実施例においてはソース電極、ゲート電極、ドレイン電極が同一半導体層上に形成されたプレーナ構造をとっていたが、ソース電極およびドレイン電極の下に選択的に N 形半導体からなるキャップ層が形成されたりセス構造であってもよい。また、ゲート電極が GaN、AlGaIn 等の半導体層内に埋め込まれた埋め込みゲート構造をとってもよい。

【0023】

【発明の効果】

以上、本発明によれば、GaN 系半導体装置において、ショットキー接合電極を Ni、Pt、Pd のいずれかにより形成される第 1 金属層、Mo、Pt、W、Ti、Ta、 $\text{Mo}_x\text{Si}_{1-x}$ 、 $\text{Pt}_x\text{Si}_{1-x}$ 、 $\text{W}_x\text{Si}_{1-x}$ 、 $\text{Ti}_x\text{Si}_{1-x}$ 、 $\text{Ta}_x\text{Si}_{1-x}$ 、 $\text{Mo}_x\text{N}_{1-x}$ 、 W_xN_{1-x} 、 $\text{Ti}_x\text{N}_{1-x}$ 、 $\text{Ta}_x\text{N}_{1-x}$ (但し、 $0 < x < 1$) の内のいずれかにより形成される第 2 金属層、Au、Cu、Al、Pt の内のいずれかにより形成される第 3 金属層の積層構造により構成する。これにより、第 1 金属と第 3 金属の相互拡散が抑制され、信頼性が向上する。また、第 1 金属は仕事関数が大きいため、ショットキー障

壁が高く、良好なショットキー接触が得られる。

更に、ショットキー接合電極を $\text{Ni}_y\text{Si}_{1-y}$ 、 $\text{Pt}_y\text{Si}_{1-y}$ 、 $\text{Pd}_y\text{Si}_{1-y}$ 、 $\text{Ni}_y\text{N}_{1-y}$ 、 $\text{Pd}_y\text{N}_{1-y}$ (但し、 $0 < y < 1$) のいずれかにより形成される第1金属層、Au、Cu、Al、Pt の内のいずれかにより形成される第2金属層の積層構造により構成すれば、第1金属の GaN 系半導体への熱拡散が抑制され、信頼性が向上する。このため、半導体装置の高温特性、電力性能に寄与するところ大である。

【図面の簡単な説明】

【図1】

本発明の第1の実施例である HJFET の断面構造を示す図である。

【図2】

図1の半導体装置に対する熱処理前、熱処理後の逆方向ゲート電流－電圧特性を示す特性図である。

【図3】

従来技術と比較した図1の半導体装置における飽和出力密度のゲート幅依存性を示す特性図である。

【図4】

本発明の第2の実施例である HJFET の断面構造を示す図である。

【図5】

本発明の第3の実施例である HJFET の断面構造を示す図である。

【図6】

本発明の第4の実施例である MESFET の断面構造を示す図である。

【図7】

本発明の第5の実施例である HJFET の断面構造を示す図である。

【図8】

従来技術による半導体装置の断面構造を示す図である。

【図9】

従来の半導体装置の熱処理前、熱処理後の逆方向ゲート電流－電圧特性を示す特性図である。

【図10】

従来の半導体装置の熱処理前のオージェ・プロファイルを示す図である。

【図11】

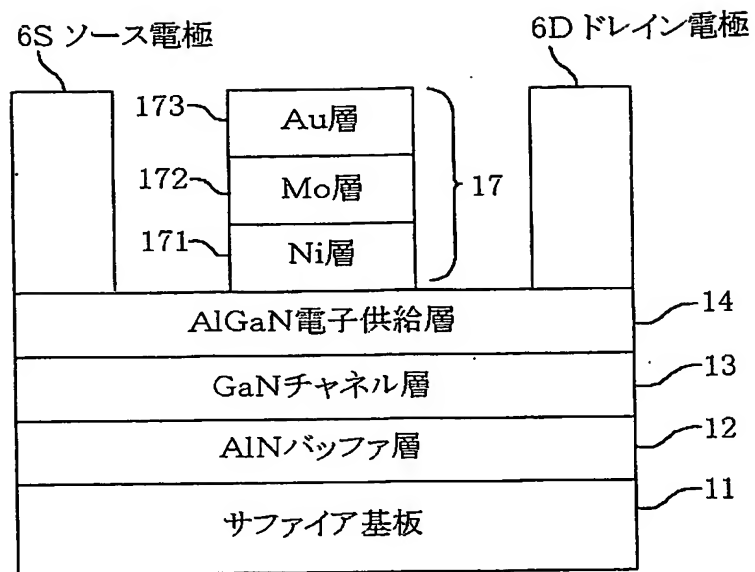
従来の半導体装置の熱処理後のオージェ・プロファイル示す図である。

【符号の説明】

- 6D ドレイン電極
- 6S ソース電極
- 11、21、61 サファイア基板
- 12、22、32、42、52、62 AlNバッファ層
- 13、23、55、63 GaNチャネル層
- 14、24、35、64 AlGaIn電子供給層
- 17、27、37、47、57、67 ゲート電極
- 171、471、671 Ni層
- 172、372、472 Mo層
- 173、272、373、473、572、672 Au層
- 271、371、571 NiSi層
- 31、41 SiC基板
- 33、43 GaNバッファ層
- 34 InGaInチャネル層
- 44 n型GaInチャネル層
- 51 GaIn基板
- 53 AlGaInバッファ層
- 54 n型AlGaIn電子供給層

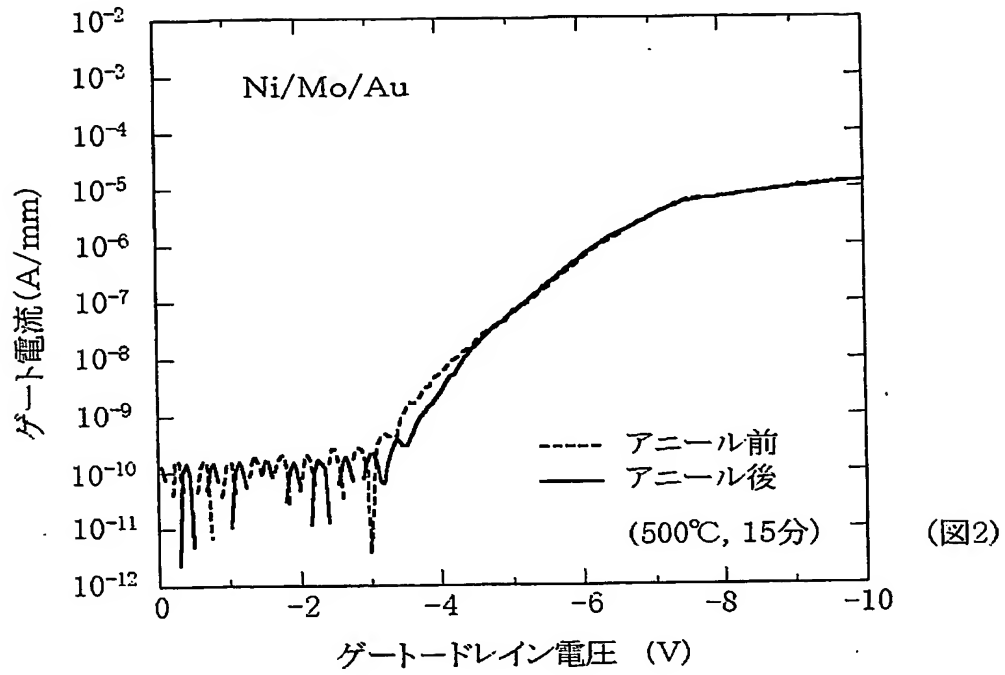
【書類名】 図面

【図1】

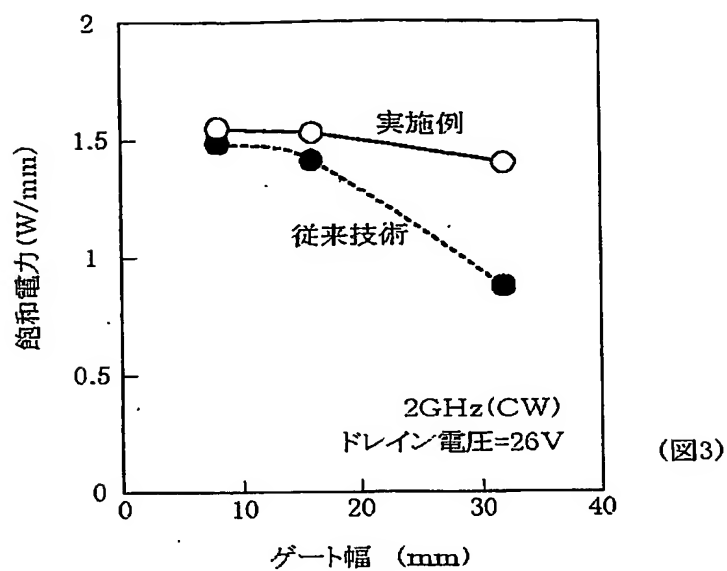


(図1)

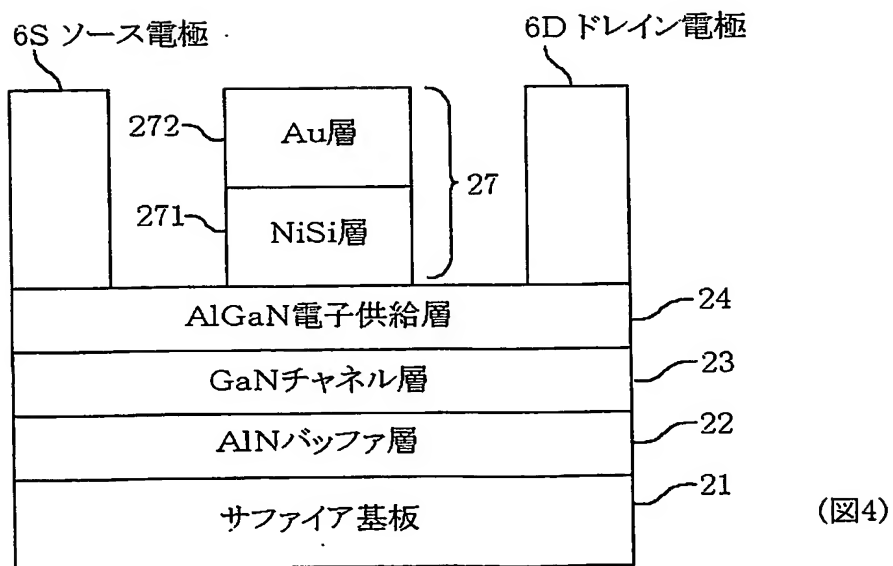
【図 2】



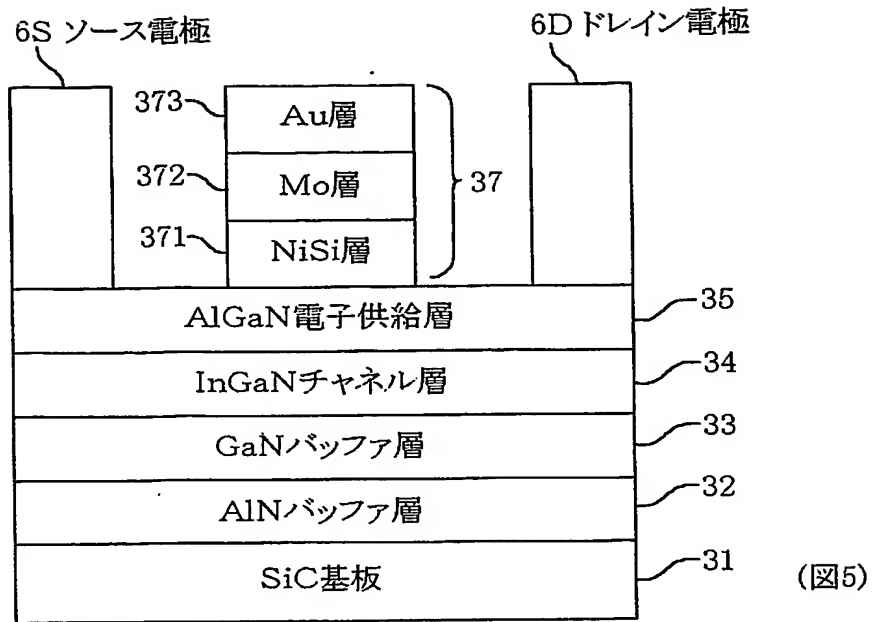
【図3】



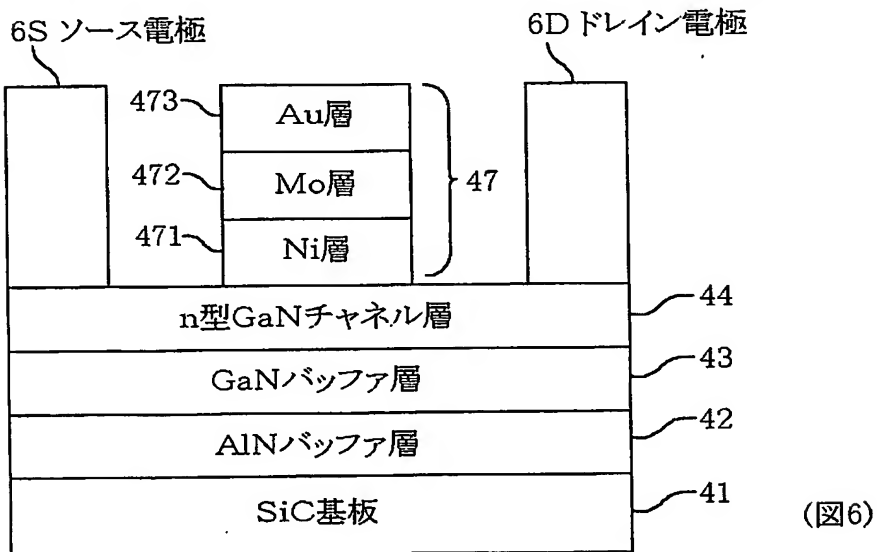
【図4】



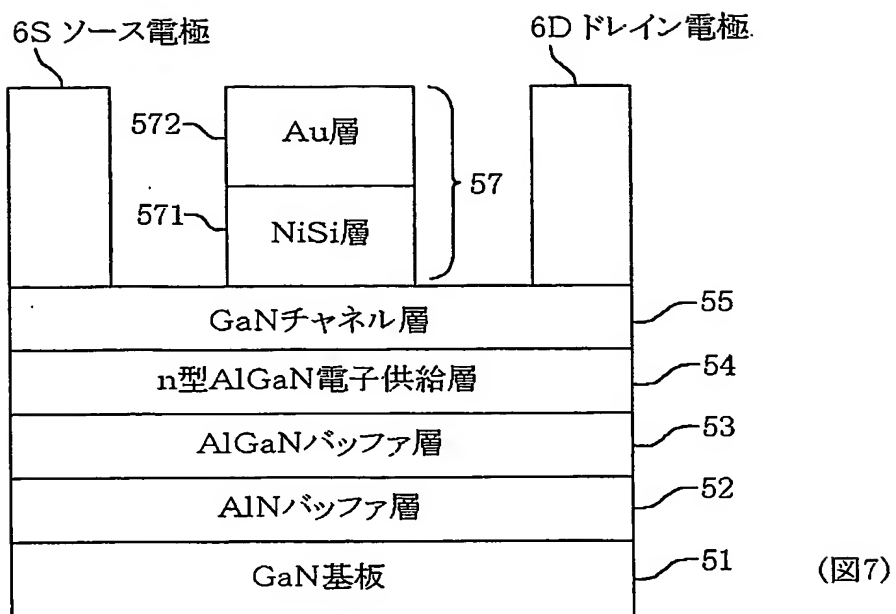
【図 5】



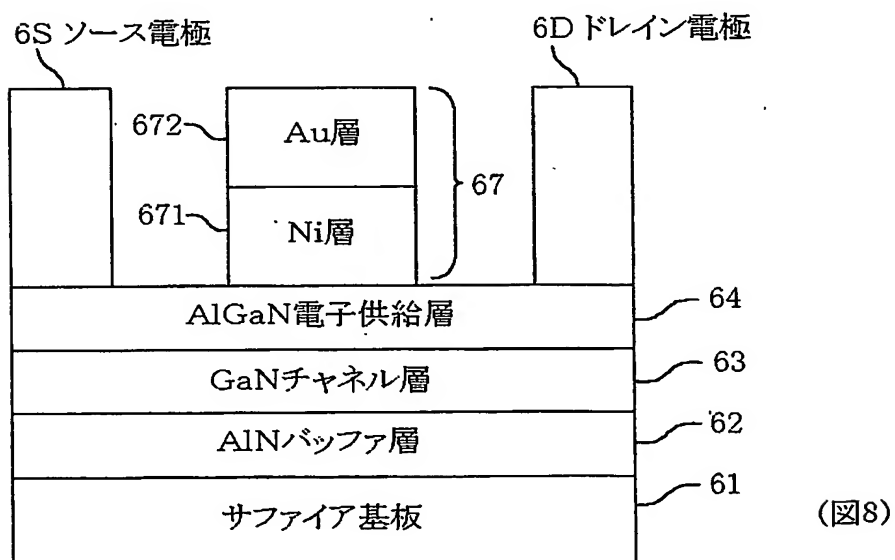
【図 6】



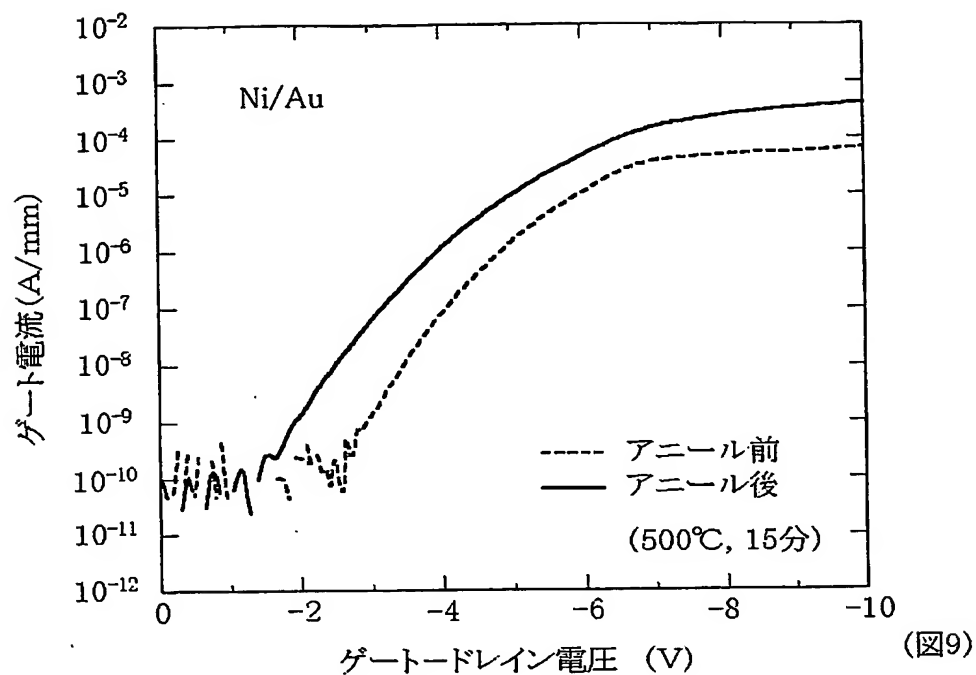
【図 7】



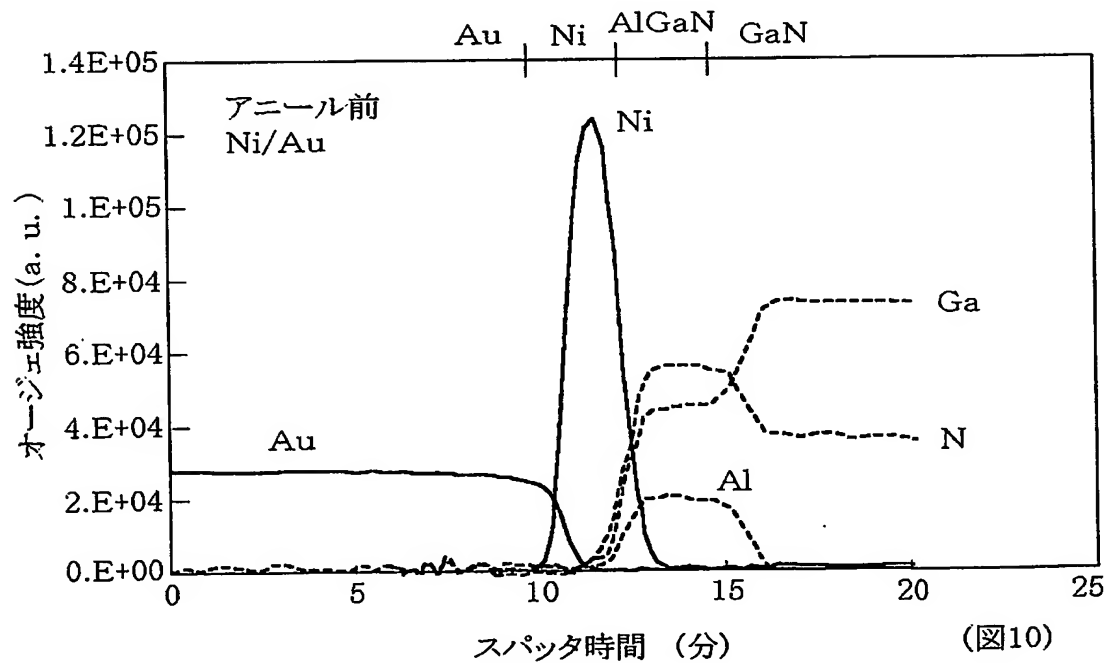
【図 8】



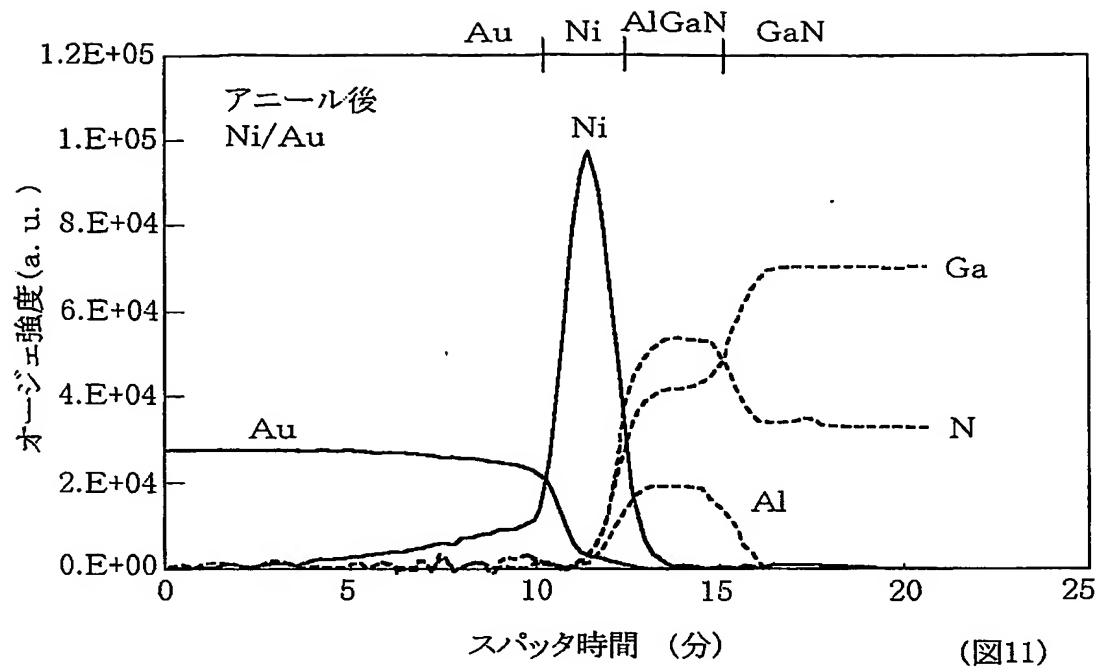
【図9】



【図10】



【図 11】




【書類名】 要約書

【要約】

【課題】 ショットキー接合電極の耐熱性を改善し、パワー性能、信頼性に優れたGaN系半導体装置を提供する。

【解決手段】 AlGaN電子供給層14に接触したショットキー性のゲート電極17を有する半導体装置において、ゲート電極17をNi、Pt、Pdの何れかにより形成された第1金属層171、Mo、Pt、W、Ti、Ta、MoSi、PtSi、WSi、TiSi、TaSi、MoN、WN、TiN、TaNの何れかにより形成された第2金属層172、Au、Cu、Al、Ptの何れかにより形成された第3金属層の積層構造とする。第2金属層の材料は高融点であるため第1金属層金属と第3金属層金属の相互拡散に対するバリヤとして働き、高温動作によるゲート特性劣化が抑制される。AlGaN電子供給層14と接する第1金属層金属は仕事関数が大きいためショットキー障壁が高く良好なショットキー接触が得られる。

【選択図】 図1



特願 2002-175243

出願人履歴情報

識別番号

[000004237]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社